

Circuit for protection against static electricity, and semiconductor integrated circuit using same

Patent number: CN1297580
Publication date: 2001-05-30
Inventor: MASAMI HASHIMOTO (JP); KAZUHIKO OKAWA (JP)
Applicant: SEIKO EPSON CORP (JP)
Classification:
- international: H01L27/02; H01L27/02; (IPC1-7): H01L27/04
- european: H01L27/02B4F2
Application number: CN20008000367 20000119
Priority number(s): JP19990010716 19990119; JP19990010717 19990119

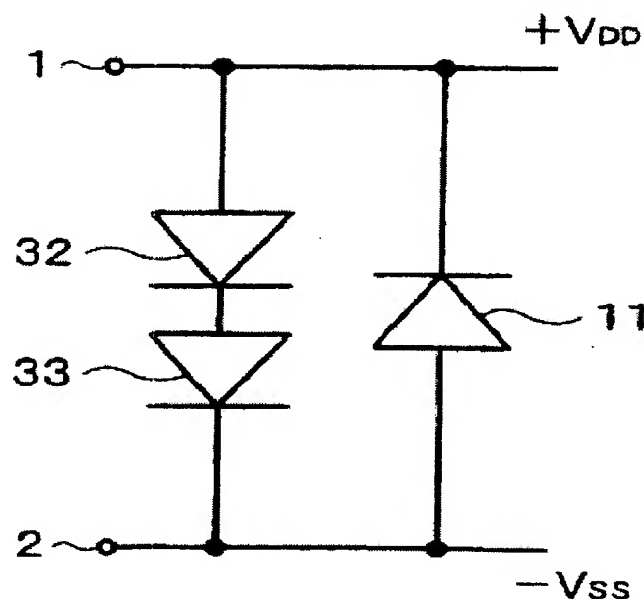
Also published as:

WO0044049 (A1)
US6671146 (B1)
CN1181548C (C)

[Report a data error here](#)

Abstract not available for CN1297580
Abstract of correspondent: **US6671146**

An electrostatic protection circuit of the present invention comprises: a first power supply terminal 1 to which a first voltage is applied; a second power supply terminal 2 to which a second voltage lower than the first voltage is applied; a first diode 12 connected in a reverse direction between the first and second power supply terminals; and a second diode 11 connected in a forward direction between the first and second power supply terminals. This configuration ensures that either one of the first and second diodes always operates in a forward direction to the static electricity applied between the first and second power supply terminals regardless of the polarity of the static electricity. Electrostatic charges therefore can be quickly absorbed through the diode in a forward direction.



Data supplied from the *esp@cenet* database - Worldwide

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 27/04

[12] 发明专利申请公开说明书

[21] 申请号 00800367. X

[43] 公开日 2001 年 5 月 30 日

[11] 公开号 CN 1297580A

[22] 申请日 2000. 1. 19 [21] 申请号 00800367. X

[30] 优先权

[32] 1999. 1. 19 [33] JP [31] 10716/1999

[32] 1999. 1. 19 [33] JP [31] 10717/1999

[86] 国际申请 PCT/JP00/00215 2000. 1. 19

[87] 国际公布 WO00/44049 日 2000. 7. 27

[85] 进入国家阶段日期 2000. 11. 20

[71] 申请人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 桥本正美 大川和彦

[74] 专利代理机构 中国专利代理(香港)有限公司

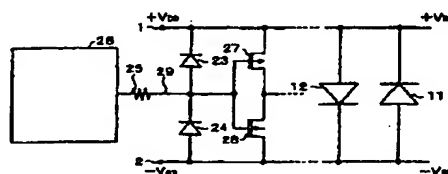
代理人 杨 凯 叶恺东

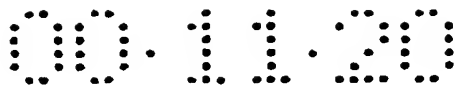
权利要求书 5 页 说明书 19 页 附图页数 17 页

[54] 发明名称 静电保护电路以及使用了该电路的半导体集成电路

[57] 摘要

本发明的静电保护电路具有:被施加第 1 电压的第 1 电源端子 1;被施加比第 1 电压低的第 2 电压的第 2 电源端子 2;在第 1、第 2 电源端子之间反向连接的第 1 二极管 12;以及在第 1、第 2 电源端子之间正向连接的第 2 二极管 11。通过这样做,对于施加到第 1、第 2 电源端子之间的静电,无论是正负哪种极性的电荷,对于其电荷第 1、第 2 二极管的一方一定成为正向。从而,起因于静电的电荷经过对于其电荷成为正向的二极管被迅速地吸收、消失。





权 利 要 求 书

1. 一种静电保护电路, 其特征在于:

具有:

被施加第 1 电压的第 1 电源端子;

5 被施加比上述第 1 电压低的第 2 电压的第 2 电源端子;

在上述第 1、第 2 电源端子之间反向连接的第 1 二极管; 以及

在上述第 1、第 2 电源端子之间正向连接的第 2 二极管,

将上述第 2 二极管的正向压降电压设定为比供给上述第 1、第 2 电源端子之间的驱动电压高。

10 2. 如权利要求 1 中所述的静电保护电路, 其特征在于:

第 2 二极管具有 P 型扩散层和 N 型扩散层接触的 PN 结的结构, 上述正向压降用在 P 型扩散层与 N 型扩散层的接触电位来定义。

3. 如权利要求 1 中所述的静电保护电路, 其特征在于:

15 上述第 2 二极管可用串联连接的多个二极管形成。上述多个二极管的每一个具有 P 型扩散层与 N 型扩散层接触了的 PN 结的结构。

4. 如权利要求 1 中所述的静电保护电路, 其特征在于:

上述第 2 二极管在第 1P 型扩散层与第 1N 型扩散层之间使第 2P 型或者 N 型扩散层相互接触地配置而形成, 上述第 1P 型以及 N 型扩散层的扩散浓度被设定为比第 2P 型或者 N 型扩散层的扩散浓度高。

20 5. 如权利要求 1 中所述的静电保护电路, 其特征在于:

上述第 2 二极管用把漏极及栅极被连接了的 MOS 晶体管形成, 上述正向压降用 MOS 晶体管的阈值电压来定义。

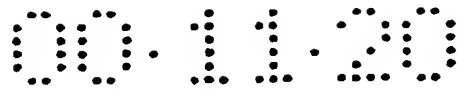
6. 如权利要求 1 中所述的静电保护电路, 其特征在于:

25 上述第 2 二极管把多个 MOS 晶体管串联连接而形成, 上述多个 MOS 晶体管的每一个中都把漏极与栅极连接。

7. 如权利要求 1 至 6 的任一项中所述的静电保护电路, 其特征在于:

30 将上述第 1 二极管构成为并联连接把源极和栅极连接到上述第 1 电源端子的 P 型 MOS 晶体管, 以及把源极和栅极连接到上述第 2 电源端子的 N 型 MOS 晶体管。

8. 如权利要求 1 至 7 的任一项中所述的静电保护电路, 其特征在于:



上述第 1、第 2 二极管形成在硅上绝缘体的衬底上。

9. 一种静电保护电路，其特征在于：

具有：

被施加第 1 电压的第 1 电源端子；

5 被施加比上述第 1 电压低的第 2 电压的第 2 电源端子；

被施加电压为上述第 1 电压以下且为上述第 2 电压以上的信号电压的信号端子；

在上述第 1 电源端子与上述信号端子之间正向连接的第 1 二极管；

10 在上述信号端子与上述第 2 电源端子之间正向连接的第 2 二极管；

在上述第 1 电源端子与上述信号端子之间反向连接的第 3 二极管；以及

15 在上述信号端子与上述第 2 电源端子之间反向连接的第 4 二极管；

将上述第 1、第 2 二极管的各自的正向压降设定为比供给上述第 1、第 2 电源端子之间的驱动电压高。

10. 如权利要求 9 中所述的静电保护电路，其特点在于：

20 上述第 1、第 2 二极管的每一个具有 P 型扩散层与 N 型扩散层接触的 PN 结的结构，上述正向压降用上述 P 型扩散层与上述 N 型扩散层的接触电位来定义。

11. 如权利要求 9 中所述的静电保护电路，其特征在于

25 上述第 1、第 2 二极管的每一个由串联连接的多个二极管形成，上述多个二极管的每一个具有 P 型扩散层与 N 型扩散层接触的 PN 结的结构。

12. 如权利要求 9 中所述的静电保护电路，其特征在于：

30 在上述第 1P 型扩散层与上述第 1N 型扩散层之间使第 2P 型或者 N 型扩散层相互接触而形成上述第 2 二极管，将上述第 1P 型以及 N 型扩散层的扩散浓度设定为比上述第 2P 型或者 N 型扩展层的扩散浓度高。

13. 如权利要求 9 中所述的静电保护电路，其特征在于：

上述第 1、第 2 二极管的每一个由栅极以及漏极连接了的 MOS 晶

体管形成，上述正向压降用上述 MOS 晶体管的阈值电压来定义。

14. 如权利要求 9 中所述的静电保护电路，其特征在于：

上述第 1、第 2 二极管的每一个由把多个 MOS 晶体管串联连接形成，上述多个 MOS 晶体管的每一个中，漏极以及栅极相连接。

5 15. 如权利要求 9 至 14 的任一项中所述的静电保护电路，其特征在于：

上述第 3、第 4 二极管的每一个构成为并联连接把源极与栅极连接到上述第 1 电源端子的 P 型 MOS 晶体管和把源极与栅极连接到上述第 2 电源端子的 N 型晶体管。

10 16. 如权利要求 9 至 15 的任一项中所述的静电保护电路，其特征在于：

上述第 1 至第 4 二极管形成在硅上绝缘体的衬底上。

17. 如权利要求 9 至 16 的任一项中所述的静电保护电路，其特征在于：

15 上述信号端子上输入高频信号。

18. 一种半导体集成电路，其特征在于：

具有：

连接了多个 P 型 MOS 晶体管以及多个 N 型 MOS 晶体管而构成的逻辑电路；以及

20 配置在上述逻辑电路的周边的输入输出电路，

上述输入输出电路包括对上述逻辑电路进行静电保护的静电保护电路，

上述静电保护电路具有：

被施加第 1 电压的第 1 电源端子；

25 被施加比上述第 1 电压低的第 2 电压的第 2 电源端子；

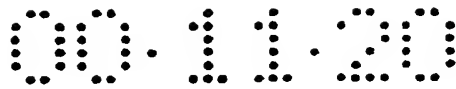
在上述第 1、第 2 电源端子之间反向连接的第 1 二极管；以及

在上述第 1、第 2 电源端子之间正向连接的第 2 二极管，

将上述第 2 二极管的正向压降设定为比供给上述第 1、第 2 电源端子之间的驱动电压高。

30 19. 如权利要求 18 中所述的半导体集成电路，其特征在于：

上述第 2 二极管具有 P 型扩散层与 N 型扩散层接触的 PN 结的结构，上述正向压降用上述 P 型扩散层与上述 N 型扩散层的接触电位来



定义。

20. 如权利要求 19 中所述的半导体集成电路，其特征在于：

将上述 P 型以及 N 型扩散层的至少一方的扩散浓度设定为与上述多个 P 型以及 N 型 MOS 晶体管的源极中使用的扩散层的扩散浓度相等。

21. 如权利要求 19 中所述的半导体集成电路，其特征在于：

将上述 P 型以及 N 型扩散层的至少一方的扩散浓度设定为高于上述多个 P 型以及 N 型 MOS 晶体管的源极中使用的扩散层的扩散浓度。

22. 如权利要求 18 中所述的半导体集成电路，其特征在于：

上述第 2 二极管由漏极以及栅极连接了的 MOS 晶体管形成，上述正向压降用上述 MOS 晶体管的阈值电压来定义。

23. 如权利要求 22 中所述的半导体集成电路，其特征在于：

将形成上述第二极管的上述 MOS 晶体管的阈值电压设定为高于上述多个 P 型以及 N 型 MOS 晶体管的各自的阈值电压。

24. 一种半导体集成电路，其特征在于：

具有：

连接了多个 P 型 MOS 晶体管以及多个 N 型 MOS 晶体管而构成的逻辑电路；以及

配置在上述逻辑电路的周边的输入输出电路，

上述输入输出电路包括对上述逻辑电路进行静电保护的静电保护电路，

上述静电保护电路具有：

被施加第 1 电压的第 1 电源端子；

被施加比上述第 1 电压低的第 2 电压的第 2 电源端子；

被施加电压为上述第 1 电压以下且为上述第 2 电压以上的信号电压的信号端子；

在上述第 1 电源端子与上述信号端子之间正向连接的第 1 二极管，

在上述信号端子与上述第 2 电源端子之间正向连接的第 2 二极管；

在上述第 1 电源端子与上述信号端子之间反向连接的第 3 二极管；以及

在上述信号端子与上述第 2 电源端子之间反向连接的第 4 二极管，

将上述第 3、第 4 二极管的各自的正向压降设定为比供给上述第 1、第 2 电源端子之间的驱动电压高。

5 25. 如权利要求 24 中所述的半导体集成电路，其特征在于：

上述第 1、第 2 二极管的每一个具有 P 型扩散层与 N 型扩散层接触的 PN 结的结构，上述正向压降以上述 P 型扩散层与上述 N 型扩散层的接触电位来定义。

26. 如权利要求 25 中所述的半导体集成电路，其特征在于：

10 将上述 P 型以及 N 型扩散层的至少一方的扩散层度设定为与上述多个 P 型以及 N 型 MOS 晶体管的源极中使用的扩散层的扩散浓度相等。

27. 如权利要求 25 中所述的半导体集成电路，其特征在于：

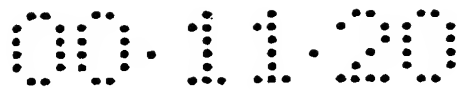
15 将上述 P 型以及 N 型扩散层的至少一方的扩散浓度设定为高于上述多个 P 型以及 N 型 MOS 晶体管的源极中使用的扩散层的扩散浓度。

28. 如权利要求 24 中所述的半导体集成电路，其特征在于：

上述第 1、第 2 二极管的每一个分别由漏极以及栅极被连接了的 MOS 晶体管形成，而且上述漏极以及栅极被连接，上述正向压降用上述 MOS 晶体管的阈值电压来定义。

20 29. 如权利要求 28 中所述的半导体集成电路，其特征在于：

将形成上述第 1、第 2 二极管的各自的上述 MOS 晶体管的阈值电压设定为高于上述多个 P 型以及 N 型 MOS 晶体管的每一个的阈值电压。



说明书

静电保护电路以及使用了该电路的半导体集成电路

技术领域

5 本发明涉及静电保护电路以及使用了该电路的半导体集成电路，特别是涉及使用了绝缘栅场效应型晶体管（以下简称为 MOSFET）的集成电路的静电保护电路。

背景技术

图 9 示出了有关使用了体衬底的 MOS 集成电路的一般信号端子
10 1509 和电源端子 1, 2 的代表性的静电保护电路。图 9 中，作为施加在信号端子 1509 和第 1、2 电源端子之间的静电的电荷吸收路径，有从信号端子 1509 经过二极管 1503 流到示出电位 $+V_{DD}$ 的第 1 电源端子 1 的路径和从示出电位 $-V_{SS}$ 的第 2 电源端子 2 经过二极管 1504 流到信号端子的路径。另外，还有从第 2 电源端子 2 经过二极管 1501 流
15 到第 1 电源端子 1 的路径。更具体地讲，如图 9 所示，来自焊区端子 1506 的输入信号经过电阻 1505 和二极管 1503、1504 的一端供给形成内部电路的反相器的 P 型 MOSFET1507 和 N 型 MOSFET1508 的栅极。

图 9 中，如果把内部电路的 P 型 MOSFET1507 和 N 型 MOSFET1508 的栅极直接连接在焊区 1506 上，则在从焊区 1506 输入了静电的情况下，P 型 MOSFET1507 和 N 型 MOSFET1508 的栅极易于被破坏。为了防
20 止这一点，使用了起到阻碍静电冲击作用的电阻 1505 和吸收电荷作用的二极管 1503、1504。另外，如后述那样，二极管 1501 构成为不仅对于加到第 1、2 电源端子之间的静电，而且对于加到上述信号端子的静电也起到电荷吸收路径的作用。

25 另外，在现有的静电保护电路中，上述起到电荷吸收作用的二极管元件 1503 在第 1 电源端子 1 上流过电荷，二极管 1504 连接成从第 2 电源端子 2 到信号端子 1509 流过电荷。另外，第 1 电源端子 1 和第 2 电源端子 2 之间反向连接了二极管 1501。这是因为，如果把二极管 1501、1503、1504 沿着正向连接以与图 9 相反地流过电荷，则在集
30 成电路中连接电源实际进行工作时，将通过正向的二极管流过漏电流（漏泄电流）。

另外，在使用了硅上绝缘体的衬底的集成电路中（以下简单地记

为 SOI 集成电路) 中, 通常不存在体衬底中的阱, 而是用埋入氧化膜把下方绝缘, 周围也由选择性的氧化膜 (LOCOS) 覆盖. 因此, 一般不存在相当于位于图 9 的第 1、2 电源端子之间的二极管 1501. 如果改画的话, 则如图 11 所示, 在第 1、2 电源端子之间完全不存在由现有衬底的 P 阱和 N 阱形成的二极管. 但是, 如后述那样, 从静电保护的观点出发, 需要与此相当的二极管. 从而即使在 SOI 集成电路中, 也如图 12 那样在第 1、2 电源端子之间施加二极管 1801, 或者如图 13 那样把源极与栅极相互邻接的 MOSFET1901 连接在第 1、2 电源端子之间, 使得起到与反向二极管相同的作用. 或者, 如图 14 那样, 在电源之间把分别相互连接了源极和栅极的 P 型 MOSFET2001 和 N 型 MOSFET2000 进行并联连接以便起到与反向二极管相同的作用, 进行与通常体衬底的集成电路相同原理的静电保护.

进而, 在电源端子之间或者信号端子上施加了静电的情况下, 在集成电路内部有时引起静电破坏. 首先, 对于静电施加到信号端子的情况, 如果没有用静电保护电路迅速地吸收其电荷, 则经常引起破坏信号端子前面的内部电路. 在图 9 中, 易于引起 P 型 MOSFET1507 或者 N 型 MOSFET1508 的栅极破坏. MOSFET 的栅极膜厚与衬底之间用数百到数十埃的非常薄的膜做成, 衬底或者源极最终连接到电源上. 因此, 在薄硅氧化膜之间加上高电压而且强电场, 导致栅极膜的破坏. 从而, 在加上了静电时, 为了迅速吸收并消失其电荷, 如上所述, 使用与图 9 的静电保护电路或者与其相当的装置. 图 9 的电路中, 在信号端子 1509, 第 1 电源端子 1 以及第 2 电源端子 2 各自之间的电荷流动考虑为以下 4 种. 即,

(A) 信号端子—正电荷, 第 1 电源端子—负电荷

(B) 信号端子—负电荷, 第 1 电源端子—正电荷

(C) 信号端子—正电荷, 第 2 电源端子—负电荷

(D) 信号端子—负电荷, 第 2 电源端子—正电荷

这 4 种. 在现有电路的图 9 的情况下, (A) 和 (D) 的情况由于二极管 1503, 或者二极管 1504 对于电荷正向流过, 因此迅速地吸收侵入的静电电荷, 防止静电破坏. 在 (B) 和 (C) 的情况下, 二极管 1503 和 1504 在各自的情况下, 对于静电电荷的极性都成为反向. 从而在 (B) 的情况下, 负电荷即使是反向也强行地通过二极管 1503.

或者负电荷首先沿着二极管 1504 对于电荷以正向逸出，从第 2 电源端子 2 向第 1 电源端子 1，通过从存在于衬底的 P 阱 (P-well) 到 N 阱 (N-well) 的反向二极管 1501，逸出到第 1 电源端子 1。在 (C) 的情况下，正电荷即使是反向也强行地通过二极管 1504。或者正电荷首先沿着正向逸出二极管 1503，从第 1 电源端子 1 到第 2 电源端子 2，通过从存在于衬底的 N 阱到 P 阱的反向二极管 1501 向第 2 电源端子 2 逸出。从而 (B) 和 (C) 的情况下，由于电荷需要强行地通过反向二极管，因此抗静电能力弱，在比较低的电压下被破坏。另外，作为代表例，图 10 中示出 (C) 的情况下静电电荷逸出的状况。

以上说明了在信号端子上施加了静电时的处于电源之间的反向二极管的作用，而在电源端子之间施加了与电源相同极性的静电的情况下，电荷沿着反向从存在于电源端子之间的二极管逸出。另外，在 SOI 集成电路中由于没有该二极管因此不能够吸收静电电荷，在与电源布线有关的位置的最弱的位置上容易引起破坏。

其次，用图 30，图 31 简单地说明为什么静电电荷通过二极管时沿着正向抗静电能力强，沿着反向抗静电能力弱的机理。图 30 中，P 型扩散层 131 和 N 型扩散层 132 的边界面连接，形成 PN 二极管。图 30 示出 P 型扩散层 131 是正电位，N 型扩散层 132 是负电位的情况。这种情况下电位的关系对于电荷起到二极管的正向作用，电流在 PN 边界面的任何地方由于顺畅流过因此电流遍布 PN 边界面的整个面，在任何位置都同样流动。从而作为二极管整体易于流过电流，而且吸收能力也高。另外，由于二极管自身电流平均地分散流过，因此不存在极度集中的位置，不产生因电流流动引起的二极管自身的破坏。

另一方面，图 31 的情况示出流过反向时的状况。图 31 中，P 型扩散层 141 和 N 型扩散层 142 的边界面连接，形成 PN 二极管。图 31 示出 P 型扩散层 141 是负电位，N 型扩散层 142 是正电位的情况。

这种情况下，由于电位的关系成为对于二极管的反向，因此通常不流过电流。然而，在其上强行地施加高电压沿着反向流过电流时，由于 PN 边界面的离散性，相对地耐压减弱，从易于流过的特定位置开始流动。从而即使超过耐压而电流流出，在 PN 边界面上当然也不会均匀地沿着反向流过电流，而具有在比较易于流动的位置集中的倾向。图 31 中示出该电流流动的状况。这样，电流在沿着反向流过二

极管时不均匀地流动，具有在特定的位置集中的倾向，因此按二极管的 PN 边界面的大小的比例，流过电流的能力即吸收能力弱。而且在二极管中由于在特定的易于流动的位置电流集中，因此集中位置的电流密度极高，包含发热，非常容易引起二极管自身的破坏。

5 由以上所述，具有在二极管正向起作用时抗静电能力非常强而二极管反向起作用时抗静电能力非常弱的特性，按照静电施加情况，即使在低电压下也有可能产生破坏。

10 另外，在现有的静电保护电路方式中，如上述那样，必定产生二极管对于电荷仅在反向起作用的情况。为了提高这时的静电耐压，需要增大二极管或者 MOSFET 的形状，通过增大二极管或者 MOSFET 的面积来对应反向起作用时的弱的能力。由此增大了添加在各焊区的静电保护电路的占有芯片面积，存在成本提高或者焊区数或引脚数被限制为不能取得多的问题。

15 另外，如果加大二极管面积，则与此相伴随，存在增加了起到电容器作用的寄生静电电容，在需要进行高频工作的端子上导致与高频有关的各种特性的恶化或者增加了消耗电流这样的问题。

20 进而，在 SOI 集成电路的情况下，如上所述，具有在电源端子之间通常不存在基于 PN 阱的反向二极管、静电耐压非常弱这样的问题。另外，例如在电源端子之间得用新的二极管或者 MOSFET 等价地添加了与以往的基于通常体衬底的 PN 阱的反相二极管相当的二极管。但是，由于从占有面积问题出发，不能够形成与寄生地存在于以往的电源端子之间的 P 阱和 N 阱的面积大的二极管相当的二极管，因此仍然存在不能够确保充分的静电耐压的问题。

25 因而，本发明是鉴于这样的课题、问题而进行的，其目的在于提供在电源端子之间，或者电源端子、信号端子之间具有充分静电耐压的静电保护电路及其使用了该电路的半导体集成电路。该发明的另一目的在于提供能够以比较小的面积而具有充分的静电耐压的静电保护电路及其使用了该电路的静电耐压强且因添加了静电保护电路而寄生静电电容小的、适用于高频工作的静电保护电路。

30 发明的公开

本发明一形态的静电保护电路的特征在于：
具有：

被施加第 1 电压的第 1 电源端子;

被施加比上述第 1 电压低的第 2 电压的第 2 电源端子;

在上述第 1、第 2 电源端子之间反向连接的第 1 二极管; 以及

在上述第 1、第 2 电源端子之间正向连接的第 2 二极管,

- 5 将上述第 2 二极管的正向压降设定为比供给上述第 1、第 2 电源端子之间的驱动电压高。

10 如果依据本发明的一形态, 则对于施加到第 1、第 2 电源端子之间的静电, 无论是正负哪种极性的电荷, 对于该电荷, 第 1、第 2 二极管中的某一个一定成为正向。从而, 起因于静电的电荷经过对于该电荷成为正向的二极管被迅速地吸收、消失。

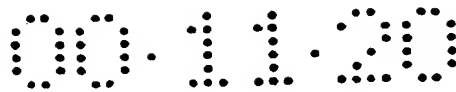
15 这里, 第 2 二极管由于在第 1、第 2 电源端子之间正向连接, 因此在通常工作时对于施加到第 1、第 2 电源端子的驱动电压的电荷, 第 2 晶体管起到正向作用。然而, 把上述第 2 二极管的正向压降设定为高于供给第 1、第 2 电源端子之间的驱动电压。由此, 通常工作时在第 2 二极管中不流过正向漏电流。

20 第 2 二极管可以具有 P 型扩散层与 N 型扩散层接触的 PN 结的结构。这种情况下, 第 2 二极管的正向压降以作为在 P 型扩散层与 N 型扩散层的边界面发生的电位差的接触电位 (接触电位差) 来定义。从而, 如果第 2 二极管的正向压降设定为高于供给第 1、第 2 电源端子之间的驱动电压, 则能够防止通常工作时在第 2 二极管中流过正向漏电流。

25 上述第 2 二极管可用串联连接的多个二极管形成。这些多个二极管的每一个具有 P 型扩散层与 N 型扩散层接触的 PN 结构。如果这样做, 则把串联连接的二极管的数目取为 n 个时, 第 2 二极管的正向压降由于成为各个二极管的接触电位的 n 倍, 因此能够使用更高的电源电压。

30 上述第 2 二极管可在第 1P 型扩散层与第 1N 型扩散层之间, 使第 2P 型或者 N 型扩散层相互接触配置而形成。这种情况下, 第 1P 型以及 N 型扩散层的扩散浓度最好设定为比第 2P 型或者 N 型扩散层的扩散浓度浓。可以提高第 2 二极管的接触电位, 由此能够使用更高的电源电压。

上述第 2 二极管可用把漏极以及栅极连接了的 MOS 晶体管形成。



这种情况下，第 2 二极管的正向压降用 MOS 晶体管的阈值电压来定义。

上述第 2 二极管使多个 MOS 晶体管串联连接而形成。这种情况下多个 MOS 晶体管的每一个都把漏极以及栅极连接。如果这样做，若把
5 串联连接的 MOS 晶体管的数目取为 n 个，则第 2 二极管的正向压降成为各个 MOS 晶体管阈值电压的 n 倍。由此能够使用更高的电源电压。

上述第 1 二极管可构成为并联连接把源极和栅极连接到上述第 1 电源端子上的 P 型 MOS 晶体管以及把源极和栅极连接到上述第 2 电源端子上的 N 型 MOS 晶体管。如果这样做，则第 1 二极管可以得到更稳定的特性。
10

上述第 1、第 2 二极管最好形成在 SOI 衬底上。如果这样做，则由于第 1、第 2 二极管的周围用绝缘层覆盖，因此能够防止形成多余的寄生二极管。

本发明另一形态的静电保护电路的特征在于：

15 具有：

被施加第 1 电压的第 1 电源端子；

被施加比上述第 1 电压低的第 2 电压的第 2 电源端子；

被施加上述第 1 电压以下而且上述第 2 电压以上的信号电压的信号端子；

20 在上述第 1 电源端子与上述信号端子之间正向连接的第 1 二极管；

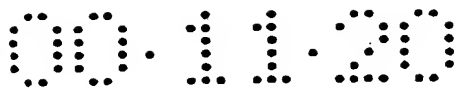
在上述信号端子与上述第 2 电源端子之间正向连接的第 2 二极管；

25 在上述第 1 电源端子与上述信号端子之间反向连接的第 3 二极管；以及

在上述信号端子与上述第 2 电源端子之间反向连接的第 4 二极管，

把上述第 1、第 2 二极管的各自的正向压降设定为高于供给上述第 1、第 2 电源端子之间的驱动电压。

30 如果依据本发明的该形态，则对于施加到信号端子与第 1 或者第 2 电源端子之间的静电，无论是正负哪种极性的电荷，对于该电荷第 1~第 4 二极管中的某一个一定成为正向。从而，起因于静电的电荷



经过对于该电荷成为正向的二极管被迅速地吸收、消失。

这里，第 1、第 2 二极管正向连接在信号端子与第 1 或者第 2 电源端子之间。因此，在通常工作时对于施加到信号端子与第 1 或者第 2 电源端子的驱动电压的电荷，第 1、第 2 二极管起到正向作用。然而，由于上述第 1、第 2 二极管的正向压降设定为高于供给第 1、第 2 电源端子之间的驱动电压。因此，通常工作时在第 1、第 2 二极管中不流过正向漏电流。

另外，在本发明的另一形态中，也能够适用在本发明的一形态中所述的各种实施形态。

10 本发明又一个形态的半导体集成电路的特征在于：
具有：

把多个 P 型 MOS 晶体管以及多个 N 型 MOS 晶体管连接而构成的逻辑电路；以及

配置在上述逻辑电路周围的输入输出电路，

15 上述输入输出电路是对上述逻辑电路进行静电保护的静电保护电路，包括具备了本发明一形态结构的静电保护电路。

如果依据本发明的又一形态，则由于上述的静电保护电路的作用，能够对逻辑电路进行静电保护。

20 这里，即使在本发明的半导体集成电路中，也能够适用在本发明的一形态中所述的静电保护电路的各种实施形态。

特别是，可把具有第 1 二极管的 P 型以及 N 型扩散层至少一方的扩散浓度设定为相同或者高于逻辑电路内的上述多个 P 型以及 N 型 MOS 晶体管的源极中使用的扩散层的扩散浓度。即使把上述扩散层的浓度设定为相等，如果第 2 晶体管的正向压降（接触电位）设定为高于供给第 1、第 2 电源端子之间的驱动电压，则通常工作时在第 2 晶体管中也不发生正向漏电流。如果把上述扩散浓度设定为较高，则由于第 2 二极管的接触电位升高，因此能够使用更高的电源电压。

25 把形成第 2 二极管的 MOS 晶体管的阈值电压设定为高于逻辑电路内的多个 P 型以及 N 型 MOS 晶体管的各自的阈值电压的情况下，同样也能够使用更高的电源电压。

30 本发明又一形态的半导体集成电路包括具备了本发明其它形态结构的静电保护电路。

这里，即使在本发明的半导体集成电路中，也能够适用在本发明的其它形态中所述的静电保护电路的各种实施形态。

附图的简单说明

图 1 是示出本发明第 1 实施形态的电路图。

5 图 2 是示出更实际地使用了本发明的第 1 实施形态时的与第 2 实施形态有关的电路图。

图 3 是示出本发明第 3 实施形态的电路图。

图 4 是示出本发明第 4 实施形态的电路图。

图 5 是示出本发明第 5 实施形态的电路图。

10 图 6 是示出本发明第 6 实施形态的电路图。

图 7 是示出本发明第 7 实施形态的电路图。

图 8 是示出本发明第 8 实施形态的电路图。

图 9 是示出更实际地使用现有的静电保护电路时的电路图。

15 图 10 是示出在现有的静电保护电路中施加了静电时的电荷流动一例的示意图。

图 11 是示出现有的静电保护电路一例的电路图。

图 12 是示出现有的静电保护电路的又一例的电路图。

图 13 是示出现有的静电保护电路的另一例的电路图。

图 14 是示出现有的静电保护电路的再一例的电路图。

20 图 15 是示出本发明第 9 实施形态的电路图。

图 16 是示出更实际地使用本发明第 10 实施形态时的电路图

图 17 是示出本发明第 11 实施形态的电路图。

图 18 是示出本发明第 12 实施形态的电路图

图 19 是示出本发明第 13 实施形态的电路图。

25 图 20 是示出本发明中使用的 PN 二极管的一例的剖面图。

图 21 是示出本发明中使用的 PN 二极管的又一例的剖面图。

图 22 是示出本发明中使用的 PN 二极管的又一例的剖面图。

图 23 是示出本发明中使用的 PN 二极管的又一例的剖面图。

图 24 是示出本发明中使用的 PN 二极管的又一例的剖面图。

30 图 25 是示出本发明中使用的 PN 二极管的又一例的剖面图。

图 26 是示出本发明中使用的 PN 二极管的又一例的剖面图。

图 27 是示出本发明中使用的 PN 二极管的又一例的剖面图。

图 28 是示出本发明中使用的 PN 二极管的又一例的剖面图。

图 29 是示出本发明中使用的 PN 二极管的又一例的剖面图。

图 30 是示出本发明中使用的 PN 二极管的结面的电流沿着正向流动状态的示意图。

5 图 31 是示出本发明中使用的 PN 二极管结合面的电流沿着反向流动状态的示意图。

图 32 是示出一般的半导体集成电路的结构例的框图。

用于实施发明的最佳形态

图 32 示出半导体集成电路的一般结构例。在芯片 3610 内，密集地配置了基本单元。在逻辑电路区 3630 内，多个基本单元之间相互连接，形成多个逻辑电路。在该逻辑电路区 3630 的周围配置了输入输出电路区 3620，在该输入输出电路区 3620 内配置了各个输入输出电路。另外虽然没有进行图示，在各个输入输出电路内分别设置了静电保护电路。还有虽然没有进行图示，并不限于图 32 所示的逻辑电路，也能够使用模拟电路或者存储器电路。本发明主要是涉及该静电保护电路。

以下示出本发明的详细情况

第 1 实施形态

图 1 是示出本发明第 1 实施形态的电路图。图 1 中，二极管 11、12 的每一个由 P 型扩散层和 N 型扩散层构成。分别在第 1 电源端子 1 上施加电位 $+V_{DD}$ ，在第 2 电源端子 2 上施加电位 $-V_{SS}$ 。在该第 1 电源端子 1 与第 2 电源端子 2 之间连接了正向连接的二极管 12 和反向连接的二极管 11。由于这样连接，因此在第 1、2 电源端子之间施加了静电的情况下，无论其静电的电荷极性是正负的那一种，二极管 11、12 的某一个对于电荷一定以正向起作用。从而，由于迅速地吸收电荷，而且如果是正向，则二极管自身也难以被破坏，因此可以得到高静电耐压。

进而，在图 1 中二极管 11 在使集成电路进行工作时与电源的关系中成为反向极性的二极管，因此没有问题，然而二极管 12 在集成电路工作时与电源的关系成为正向二极管。为此，如果第 1、2 电源端子之间的电压升高，则通过该正向二极管流过电流。从而图 1 所示的实施形态通常以比正向二极管的接触电位低的第 1、2 电源端子间

电压使用。另外，在 MOS 集成电路中使用的 P 型扩散和 N 型扩散的扩散浓度方面，所形成的二极管的一般的接触电位为 0.5V ~ 0.8V 左右。另一方面，近年来便携设备用的集成电路要求低功耗而且低电压工作，为了把太阳能电池作为电源进行工作增加了以 0.5V 以下的电源电压使集成电路进行工作的事例。另外在伴随微细化的发展过程中，越来越具有低电压电源化的倾向。另外，在 SOI 集成电路中，为了降低工作时的等价阈值电压以便进行低电压工作，也有采用把 MOSFET 的栅极与体(衬底)连接进行工作的动态阈值 MOS(以下简称为 DTMOS)方式。在这样的情况下，在上述的 DTMOS 的栅极上所连接的体与源极之间存在正向连接的二极管。从而使用了 DTMOS 的 SOI 集成电路能够以比二极管的接触电位低的电源电压使用。在以上例那样的 0.5V 以下或者以比二极管的接触电位更低的电源电压工作的集成电路的情况下，图 1 的本发明实施形态能够有效地用作为静电保护电路。

第 2 实施形态

图 1 中仅示出了作为第 1、2 电源端子之间的静电保护电路的吸收路径的二极管，而图 2 示出包括信号端子 29 在内的更实际的静电保护电路的结构。图 2 中，具有在集成电路外部与信号进行存取时所需要的焊区 26 和用于在静电进入到内部时缓和其电冲击的电阻 25。二极管 23, 24 用于吸收侵入到信号端子 29 的电荷。用 P 型 MOSFET 27 和 N 型 MOSFET 28 构成反相器电路，在该反相器电路的输入端子的栅极上连接了信号端子 29。信号端子 29，第 1、2 电源端子之间的电流流动考虑为以下 4 种。即

(A) 信号端子—正电荷，第 1 电源端子—负电荷

(B) 信号端子—负电荷，第 1 电源端子—正电荷，

(C) 信号端子—正电荷，第 2 电源端子—负电荷

(D) 信号端子—负电荷，第 2 电源端子—正电荷

这 4 种。(A) 和 (D) 的情况下，由于二极管 23 或者二极管 24 对于电荷起到正向作用，因此迅速地吸收侵入的静电电荷，防止静电破坏。在 (B) 的情况下负电荷首先以正向沿着二极管 24 向第 2 电源端子 2 逸出，接着从第 2 电源端子 2 到第 1 电源端子 1 正向通过二极管 12 向第 1 电源端子 1 逸出。以上电荷全部沿着正向流动，不存在强行沿着反向流动的路径。(C) 的情况下施加到信号端子 29 的正电

荷首先以正向沿着二极管 23 向第 1 电源端子 1 逃出，接着从第 1 电源端子 1 向第 2 电源端子 2 正向通过二极管 12 向第 2 电源端子 2 逃出。以上电荷全部沿着正向流动，没有强行沿着反向流动的路径。根据上述，通过在第 1、2 电源端子之间添加了二极管 12，对于施加到
5 信号端子 29 的静电存在着吸收路径全部为正向的路径，因此增强了静电耐压。

另外，对于第 1、2 电源端子之间，在施加了静电的情况下由于二极管 11 或者二极管 12 的某一方对于电荷一定成为正向，因此将提高第 1、2 电源端子之间的静电耐压。

10 第 3 实施形态

图 3 是示出本发明第 3 实施形态的电路图。图 3 中二极管 11、32、33 的每一个由 P 型扩散层和 N 型扩散层构成。图 3 中，相对于在图 1 中二极管 12 是一个二极管，采用把二极管 32、33 的每一个串联连接的结构。把 2 个二极管视为一个二极管的等价二极管。通过这样做，
15 把接触电位取为 2 倍的值，即使在更高的第 1、2 电源端子间电压下也能够沿着正向起到二极管作用，使之能够在没有正向漏电流下来使用。根据以上所述，图 3 的电路图是采用了静电电压高且第 1、2 电源端子间电压也很充分、能够达到实用上的高的范围内使用的结构。另外，第 3 二极管 11 由于在第 1、2 电源端子之间在通常工作时成为
20 电荷沿反向流动的二极管，因此可提高二极管 11 的接触电位，或者是不需要串联连接的如现有那样的一个二极管。

另外，图 3 中把 2 个二极管 32、33 进行串联，当然根据所使用的第 1、2 电源端子间电压的范围也可以把 3 个以上的二极管串联连接使用。

25 第 4 实施形态

图 4 是示出本发明第 4 实施例的电路图。图 4 中，采用了把图 1 的二极管 12 置换为二极管 42 的结构。二极管 42 改变了 P 型扩散层和 N 型扩散层的某一方或者双方的扩散浓度，加大了接触电位的值。二极管的接触电位 V_B 如下表示。

$$30 \quad V_B = - (kT/q) \cdot \text{Log.} \{ (n_N \cdot n_P) / n_i^2 \}$$

这里， k 是玻尔兹曼常数， T 是绝对温度， q 是一个电子的电荷量， n_N 是 N 型扩散层的杂质浓度， n_P 是 P 型扩散层的杂质浓度， n_i 是单晶

硅中受热激励而存在于导带的电子密度， Log_e 是自然对数。从而，如果提高扩散浓度，则能够提高接触电位。图 4 的二极管 42 中，提高了 P 型扩散层、N 型扩散层的某一方或者双方的扩散浓度，比二极管 11 提高了接触电位，采用了能够把第 1、2 电源端子间电压使用到更

5

第 5 实施形态

图 5 是示出本发明第 5 实施形态的电路图。P 型 MOSFET51 的栅极和源极连接到第 1 电源端子 1，漏极连接到第 2 电源端子 2。P 型 MOSFET52 的源极连接到第 1 电源端子 1，栅极和漏极相互连接到 P 型 MOSFET53 的源极。P 型 MOSFET53 的栅极和漏极连接到第 2 电源端子 2。

10

如上述那样，P 型 MOSFET51 的栅极和源极连接到第 1 电源端子 1，漏极连接到第 2 电源端子 2。因而第 2 电源端子 2 如果与第 1 电源端子 1 相比是超过了 P 型 MOSFET51 的阈值电压的高电位，则 P 型 MOSFET51 导通 (ON)。另外第 2 电源端子 2 如果是比第 1 电源端子 1 低的电位，则 P 型 MOSFET51 关断 (OFF)。即 P 型 MOSFET51 通过源极和栅极连接，表现出二极管特性，起到与图 3 的二极管 11 相同的作用。另外，这时 P 型 MOSFET51 的阈值电压相当于二极管的接触电位。另外，P 型 MOSFET52、53 由于分别把栅极与漏极相互连接因此也同样表现出二极管特性，起到与图 3 的 2 个串联连接了的二极管 32、33 相同的作用。从而对于与电源极性相同极性的电荷的静电，对于电荷沿正向工作，起到吸收电荷的作用。从而，由于把 MOSFET52、53 这 2 个元件串联连接，因此即使把第 1、2 电源端子间电压提高到 P 型 MOSFET52、53 的各个阈值电压的合计值，也不流过正向漏电流。

15

20

25

另外，为了在更高的第 1、2 电源端子间电压下进行工作，可以把 3 个以上的 MOSFET 串联连接。

第 6 实施形态

图 6 是示出本发明第 6 实施形态的电路。图 6 中，把图 5 中串联连接的 2 个 P 型 MOSFET52、53 置换为 P 型 MOSFET62。图 6 的 P 型 MOSFET62 由于栅极和漏极相互连接，因此具有二极管特性，起到与图 1 的二极管 12 相同的作用。其中，P 型 MOSFET62 一般在 P 型 MOSFET61 或者集成电路内部的端子区中使用阈值电压，设定为比 P 型 MOSFET

30

阈值电压高。由此，即使在比较高的第 1、2 电源端子间电压下 P 型 MOSFET62 也不导通，可以把没有漏电流而可使集成电路充分地进行工作第 1、2 电源端子间电压供给集成电路内的 MOSFET。另外，作为提高 P 型 MOSFET62 的阈值电压的方法，有改变沟道掺杂的注入量的方法、加厚栅极膜厚的方法、改变栅极的材质或者改变杂质浓度的方法等。

第 7 实施形态

图 7 是示出本发明第 7 实施形态的电路图。图 7 中，在图 6 电路的 P 型 MOSFET62 的栅极上添加了电阻元件 74，在图 6 电路的 P 型 MOSFET51 的栅极上添加了电阻元件 73。由此事先防止经 P 型 MOSFET71、72 的栅极的静电破坏，能够期待更高的静电耐压。

第 8 实施形态

图 8 是示出本发明第 8 实施形态的电路图。图 8 中，在图 5 的第 1、2 电源端子之间并联连接了 N 型 MOSFET80 和串联连接的 2 个 N 型 MOSFET84、85。另外，N 型 MOSFET80 是用与 P 型 MOSFET51 相同作用的 N 型 MOSFET 构成的。另外，N 型 MOSFET84、85 是用与 P 型 MOSFET52、53 相同作用的 N 型 MOSFET 构成的。从而，图 8 使用 P 型 MOSFET 和 N 型 MOSFET 这两种元件构成了与图 5 相同的电路结构。由于使用 P 型 MOSFET 和 N 型 MOSFET 2 种元件，因此可以期待更稳定的特性。

第 9 实施形态

图 15 是示出本发明第 9 实施形态的电路图。，在第 1 电源端子 1 上施加电位 $+V_{DD}$ ，在第 2 电源端子 2 上施加电位 $-V_{SS}$ 。在该第 1、2 电源端子之间，串联连接了正向连接的二极管 2111、2112。在该第 1、2 电源端子之间串联连接了反向连接的二极管 2113、2114。对于施放到信号端子 2115 和第 1、2 电源端子之间的静电，无论是正负哪种极性的电荷，对于其电荷，4 个二极管 2111、2112、2113、2114 中的某一个一定成为正向。从而，由于迅速地吸收电荷，而且如果是正向则二极管自身也难以被破坏，因此可以得到高静电耐压。

第 10 实施形态

图 16 是示出本发明第 10 实施形态的电路图。在图 15 中仅示出了作为电源之间的静电保护电路的吸收路径的二极管，而图 16 是示出包括信号端子在内的更实际的静电保护电路的结构。在图 16 中，

具有与集成电路外部进行信号授受时所需要的焊区端子 2220 和用于缓和静电进入到内部时其电冲击的电阻 2227。由 P 型 MOSFET2228 和 N 型 MOSFET2229 构成反相器电路。二极管 2111、2112、2113、2114 是用于吸收从焊区端子 2220 侵入的电荷的元件。由此，保护了 P 型 MOSFET2228 和 N 型 MOSFET2229 的栅极。另外，在图 16 中示出了电阻 2227，而在重视输入信号的电特性的情况下，也可以没有该电阻 2227。另外，在图 16 中示出了连接到反相器电路的栅极的输入电路的例子，而也有连接到 MOSFET 的漏极的输出电路的情况。信号端子 2115，第 1 电源端子 1 以及第 2 电源端子 2 之间电荷的流动考虑为以下 4 种。即，

- (A) 信号端子—正电荷，第 1 电源端子—负电荷
- (B) 信号端子—负电荷，第 1 电源端子—正电荷
- (C) 信号端子—正电荷，第 2 电源端子—负电荷
- (D) 信号端子—负电荷，第 2 电源端子—正电荷

这 4 种。(A) 的情况下二极管 2113 对于电荷起到正向作用。(B) 的情况下二极管 2111 对于电荷起到正向作用。(C) 的情况下二极管 2112 对于电荷起到正向作用。(D) 的情况下二极管 2114 对于电荷起到正向作用。在 (A) ~ (D) 的情况下，由于各个二极管 2111 ~ 2114 中的某一个对于电荷起到正向作用，因此迅速地吸收侵入的静电电荷，防止静电破坏。

第 11 实施形态

图 17 是示出本发明第 11 实施形态的电路图。为将图 15 的二极管 2113 替换为图 17 的 P 型 MOSFET2333、图 15 的二极管 2114 置换为图 17 的 N 型 MOSFET2334 的结构。P 型 MOSFET2333 的栅极和源极连接到第 1 电源端子 1，漏极连接到信号端子 2115。从而，如果信号端子 2115 的电位是比第 1 电源端子 1 的电位更高的电位，则 P 型 MOSFET2333 导通 (ON)。另外，如果信号端子 2115 是比第 1 电源端子 1 的电位低电位，则 P 型 MOSFET2333 关断 (OFF)。即起到与图 15 的二极管 2113 相同的作用。另外，N 型 MOSFET2334 的栅极和源极连接到第 2 电源端子 2，漏极连接到信号端子 2115。从而，如果信号端子 2115 的电位是比第 2 电源端子 2 的电位低电位，则 N 型 MOSFET2334 导通 (ON)，如果信号端子 2115 的电位是比第 2 电源端

子的电位高的电位，则 N 型 MOSFET2334 关断 (OFF)，即起到与图 15 的二极管 2114 相同的作用。从而，作为图 17 的吸收电路的静电保护电路起到与图 15 的电路相同的作用，提供强静电耐压。另外成为适合于高频用信号端子的静电保护电路。其中，与图 15、图 16 相同，
5 需要在比二极管 2111、2112 的各接触电位低的第 1、2 电源端子间电压下使用集成电路。

第 12 实施形态

图 18 是示出本发明第 12 实施形态的电路图。为将图 15 的二极管 2111 置换为图 18 的二极管 2441、图 15 的二极管 2112 置换为图
10 18 的二极管 2442 的结构。改变二极管 2441、2442 的 P 型扩散层和 N 型扩散层的一方或者双方的扩散浓度提高了接触电位的值。由此能够提高第 1、2 电源端子间电压。

第 13 实施形态

图 19 是示出本发明第 13 实施形态的电路图。为将图 15 的二极管 2111 置换为串联连接了图 18 的 2 个二极管 2551、2552、图 15 的二极管 2112 置换为串联连接了图 18 的 2 个二极管 2553、2554 的结构。图 19 中通过分别串联连接二极管 2551 和 2552，二极管 2253 和 2254，构成为把 2 个二极管视为一个二极管的等效二极管。由此，把接触电位取为 2 倍的值，即使对于更高的第 1、2 电源端子间电压，
15 也能够没有沿正向流过漏电流的情况下使用。从以上所述，适于静电耐压高的且寄生静电电容小的高频用端子，而且可使用到第 1、2 电源端子间电压充分的、在实用方面更高的范围。另外，图 19 的二极管 2113、2114 在第 1、2 电源端子之间反向连接。由此，由于在通常工作时对于电荷起到反向作用，因此可提高接触电位，或者可以是不需要串联连接如现有那样的 1 个二极管。
20 25

另外，在图 19 中，例如，在第 1 电源端子 1 与信号端子 2555 之间，串联连接了 2 个二极管 2551、2552，而根据所使用的第 1、2 电源端子间电压的范围也可以串联连接 3 个以上的二极管来使用。

另外，在第 9~第 13 的实施形态中，也可以代替 PN 结结构的二极管而使用 P 型 MOSFET 或者 N 型 MOSFET。例如，可以把在第 1、2 电源端子和信号端子之间正向连接的二极管置换为图 5 的 P 型 MOSFET51。
30

(关于二极管的结构)

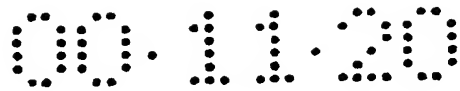
以上，从电路的观点进行了说明，而以下在图 20～图 29 中示出实施形态 1～13 中使用的形成在硅衬底上或者 SOI 衬底上的二极管的结构例。另外，图 20～图 26 示出在 SOI 衬底，图 27～图 29 示出在硅衬底上分别形成了二极管的图。

图 20 是构成基于 P 型扩散层和 N 型扩散层的二极管时的元件的剖面图。图 20 中，具有硅衬底 90、由二氧化硅 91 构成的埋入氧化膜层、浓度低的 P 型扩散层 92、P 型扩散层 93、N 型扩散层 94、铝布线 95、96 以及二氧化硅的绝缘膜 97。在浓度低的 P 型扩散层 92 上，形成 P 型扩散层 93 与 N 型扩散层 94 的 PN 结。另外，说明了通过铝布线 95、96 连接扩散层的情况，但也可以使用铜等其它金属，另外还可以使用浓度低的 N 型扩散层 92。还有根据需要可以在二氧化硅的膜 97 中混合其它物质，而每一种情况都能够根据图 20 的结构形成二极管。

图 21 是示出把 2 个图 20 所示的二极管串联连接时的元件的剖面图。图 21 中，在右侧的二极管中，在图 20 的符号上添加了下标 A，在左侧的二极管中，在图 20 的符号上添加了下标 B。2 个二极管由铝布线 106 串联连接。另外，N 型扩散层 94A 和 P 型扩散层 93B 由于用铝布线 106 连接，因此它们之间的 PN 二极管在电路上可以忽略。这样，串联连接了二极管的元件能够用作图 3 的 2 个串联二极管 32、33。图 21 中由于使用 SOI 衬底，因此二极管的周围用绝缘层覆盖，具有不形成多余的寄生二极管的特征，能够纯粹地构成 2 个串联连接的二极管。

另外，在图 21 中示出了 2 个二极管串联连接的情况，而如果增加 PN 结则能够以几乎相同的结构形成 3 个以上串联连接的二极管。

图 22 是在图 20 所示的二极管的 PN 结之间，设置了浓度低的 P 型扩散层 119 的结构时的元件的剖面图。图 22 与图 20 相比较，其不同点在于进一步提高构成二极管的 P 型扩散层 113 和 N 型扩散层 114 的扩散浓度。由此，增加了构成二极管正向压降的接触电位，能够在集成电路中使用更高的第 1、2 电源端子间电压。其中，如果使高扩散浓度的 P 型扩散层 113 与 N 型扩散层 114 直接接触，则由于在隧道现象下产生漏电流，因此在其之间设置了作为浓度缓冲区的浓度低的



P 型扩散层 119.

图 23 是在图 22 所示的二极管的 PN 结之间, 进一步设置了浓度低的 N 型扩散层 129 的结构时的元件的剖面图。如果使高扩散浓度的 P 型扩散层 113 与 N 型扩散层 114 之间直接接触则在隧道现象下产生漏电流。图 23 与图 22 的区别在于在图 23 中以进一步避免漏电流发生为目的, 沿浓度缓冲区, 除浓度低的 P 型扩散层 119 以外还设置浓度低的 N 型扩散层 129。由此进一步提高两端的 PN 的扩散浓度加大接触电位, 能够扩展集成电路的使用电压范围。

图 24 是构成基于 P 型扩散层和 N 型扩散层的二极管时的元件的剖面图。图 24 中, 具有 P 型扩散层 2911, N 型扩散层 2912, 基于 SOI 衬底上特有的二氧化硅的埋入氧化膜层 2913, 硅衬底 2910, 铝布线 2914、2915, 二氧化硅的绝缘膜 2916、2917、2918。这时, 从铝布线 2914 的端子到 P 型扩散层 2911, N 型扩散层 2912, 铝布线 2915 的端子之间形成 PN 二极管。另外, 虽然说明使用了铝布线 2914、2915 的情况, 然而也可以是铜等其它金属。还有, 作为二氧化硅的绝缘膜 2913, 由于可以是绝缘膜, 因此可以是蓝宝石 (这时衬底成为硅上的蓝宝石 SOS) 或者金刚石等。在每一种情况下都能够利用图 24 的结构形成二极管。另外, 如图 24 所示, 在 SOI 的埋入氧化层的绝缘膜上形成的二极管由于用绝缘膜把周围隔离, 因此具有能够防止附着作为原来目的的二极管以外的寄生二极管的特征。

图 25 是把 2 个基于 P 型扩散层和 N 型扩散层的二极管串联连接而构成时的元件的剖面图。在图 25 中, 关于右侧的二极管在图 24 的符号上添加下标 A, 关于左侧的二极管在图 24 的符号上添加下标 B。2 个二极管用铝布线 3026 直接连接。由于从 N 型扩散层 2912B 到 P 型扩散层 2911A 用铝布线 3026 连接, 因此在它们之间, PN 二极管在电路上可以忽略。这样能够把串联连接二极管的元件作为图 19 的 2 个串联连接的二极管 2551、2552 使用, 或者直接作为二极管 2553、2554 使用。图 25 中由于使用 SOI 衬底, 因此二极管的周围用绝缘层覆盖, 具有不形成多余的寄生二极管的特征, 能够纯粹地构成 2 个串联连接的二极管。

另外, 在图 25 中虽然示出了串联连接的 2 个二极管的情况, 然而如果增加 PN 的横向排列, 还能够以几乎相同的结构串联连接 3 个

以上的二极管。

图 26 是把 2 个基于 P 型扩散层和 N 型扩散层的二极管串联连接结构时的元件的剖面图。图 26 中，关于右侧的二极管在图 24 的符号上添加下标 C，关于左侧的二极管在图 24 的符号上添加下标 D。这时，
5 从铝布线 3134 的端子到 P 型扩散层 2911D，N 型扩散层 2912D，P 型扩散层 2911C，N 型扩散层 2912C，铝布线 3135 的端子之间，串联连接地形成了 2 个 PN 二极管。另外，由于从 N 型扩散层 2912D 到 P 型扩散层 2911C 用铝布线 3136 连接，因此在它们之间在电路上可以忽略 PN 二极管。这样，把二极管串联连接的元件能够作为图 19 的 2 个
10 串联二极管 2551、2552 使用，或者直接作为二极管 2553、2554 使用。图 26 中由于使用 SOI 衬底，因此二极管的周围用绝缘层覆盖，具有不形成多余的寄生二极管的特征，能够纯粹地构成 2 个串联连接的二极管。

如果使用 SOI 衬底，则通过把在图 24 或者图 25 或者图 26 形成的
15 的二极管进行组合，用铝布线层连接，能够容易地形成把 3 个以上的多个二极管串联连接的结构。

另外，以上的二极管结构以使用了具有埋入氧化膜层的 SOI 衬底的集成电路为例进行了说明。然而，由于只要是绝缘膜就可以具有相同的结构，因此也可以是使用了蓝宝石作为衬底的绝缘层（这时衬底
20 成为硅上的蓝宝石 SOS）或者金刚石的集成电路。

图 27 是构成基于 P 型扩散层和 N 型扩散层的二极管时的元件的剖面图。图 27 中具有 P 型扩散层 2681，N 型扩散层 2682，浓度低的 N 阱 2683，铝布线 2684、2685，二氧化硅的绝缘膜 2686、2687、2688。从铝布线 2684 的端子到 P 型扩散层 2681，N 型阱 2683，N 型扩散层
25 2682，铝布线 2685 的端子之间形成 PN 二极管。

另外，虽然说明了铝布线 2684、2685 的情况，然而也可以是铜等其它金属，另外，根据需要可以在二氧化硅 2689、2687、2688 的膜中混合其它的物质，而每一种情况都能够根据图 27 的结构形成二极管。

30 图 28 是构成基于 P 型扩散层和 N 型扩散层二极管时的元件的剖面图。图 28 中，具有 P 型扩散层 2791，N 型扩散层 2792，浓度低的 P 阱 2793，铝布线 2794、2795，二氧化硅的绝缘膜 2796、2797、2798。

图 28 中，从铝布线 2794 的端子到 P 型扩散层 2791，P 阱 2793，N 型扩散层 2792，铝布线 2795 的端子形成 PN 二极管。图 28 与图 27 的区别在于在图 28 中使用 P 阱 2793 代替图 27 的 N 阱 2683。

5 图 29 是构成基于 P 型扩散层和 N 型扩散层的二极管时元件的剖面图。图 29 中，具有 P 型扩散层 2801，N 型扩散层 2802，浓度低的 N 阱 2803，铝布线 2804、2805，二氧化硅的绝缘膜 2806、2807、2808。从铝布线 2804 的端子到 P 型扩散层 2801，N 型扩散层 2802，铝布线 2805 的端子之间形成 PN 二极管。根据该图的结构也能够形成二极管。

10 这样，如果依据本发明的静电保护电路，则在不具有面积大的阱层的、本质上存在抗静电能力弱的倾向的 SOI 型集成电路中，具有无论是在电源端子之间还是在信号端子之间都可以得到高静电耐压这样的效果。

15 另外，在本发明中由于是用正向二极管吸收静电电荷，因此由于确保相同的静电耐压还可以减小形成集成电路内部的二极管的占有面积，具有配置效率高或者成本降低的效果。

说明书附图

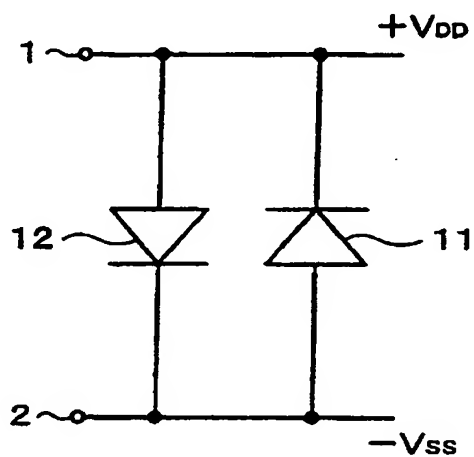


图 1

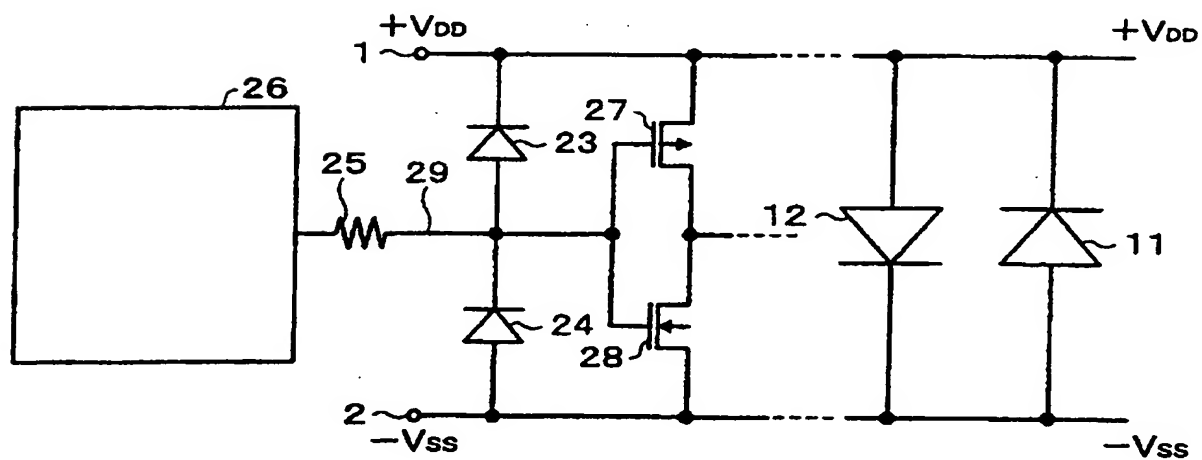


图 2

00.11.20

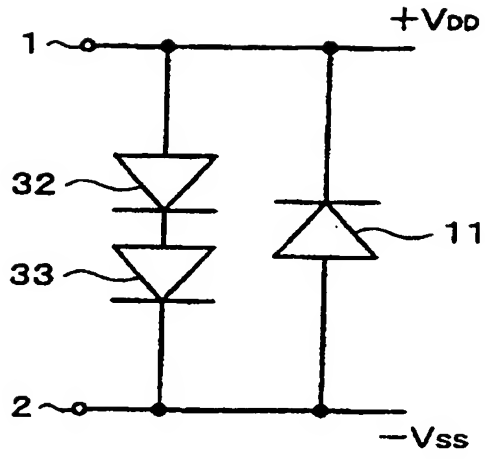


图 3

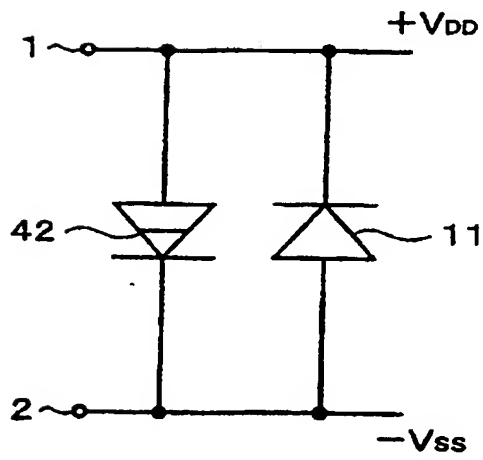


图 4

00.11.20

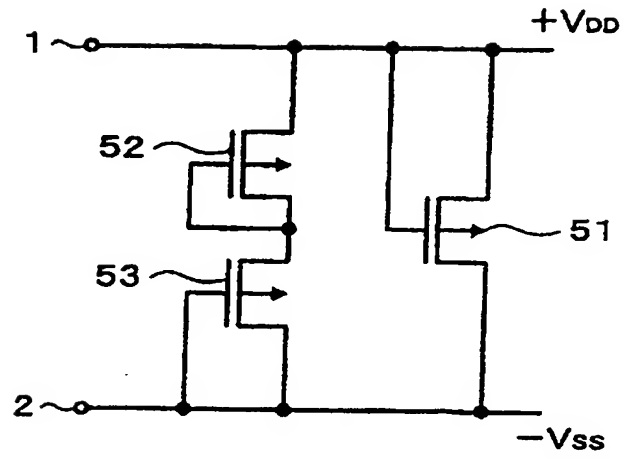


图 5

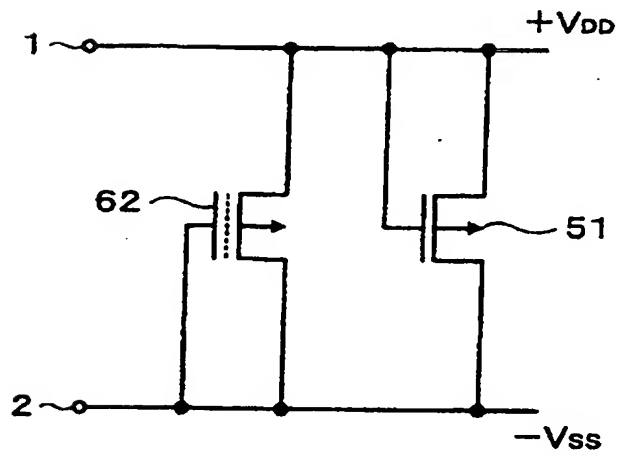


图 6

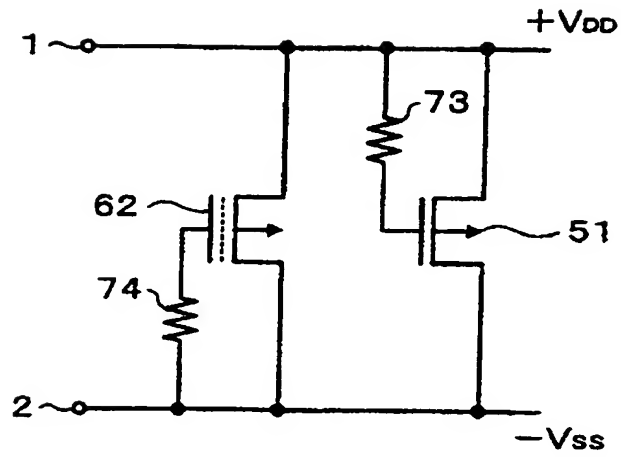


图 7

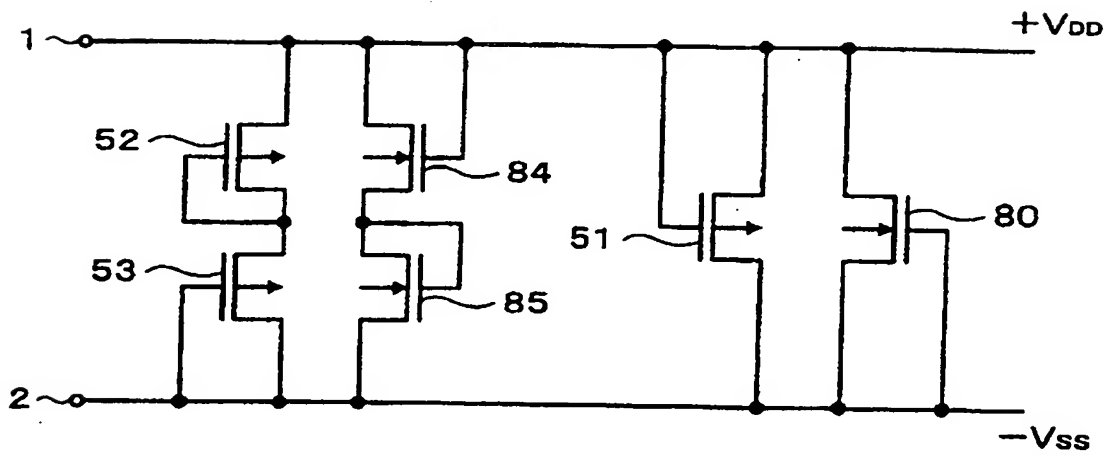


图 8

00.11.20

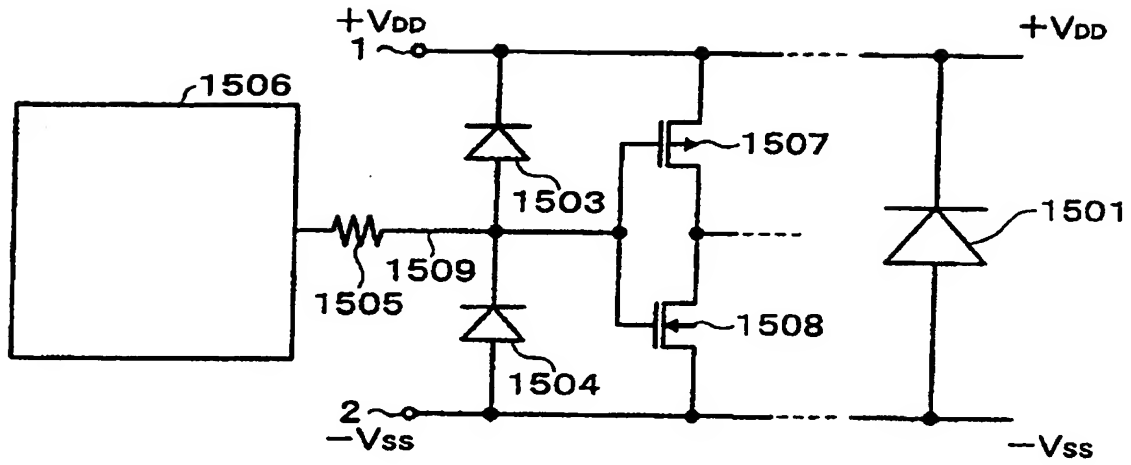


图 9

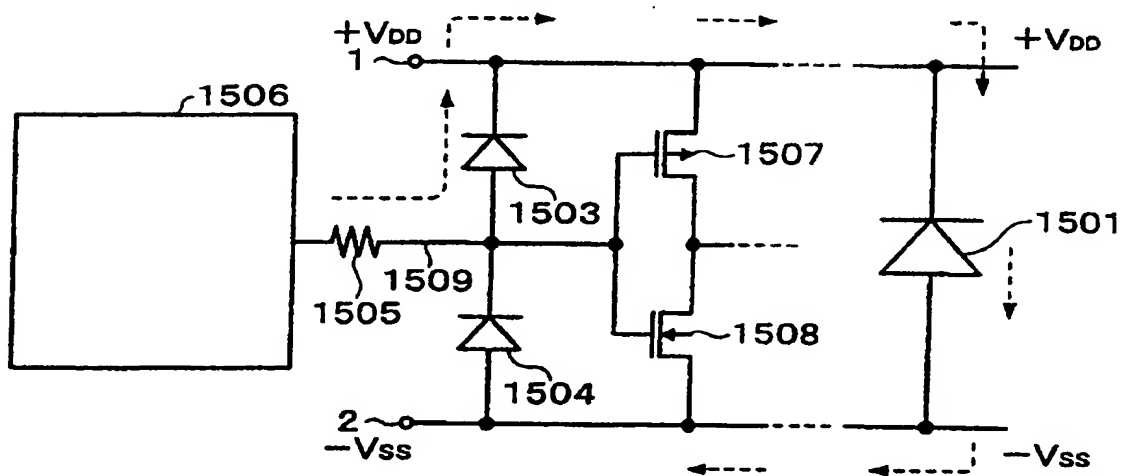


图 10

00.11.20

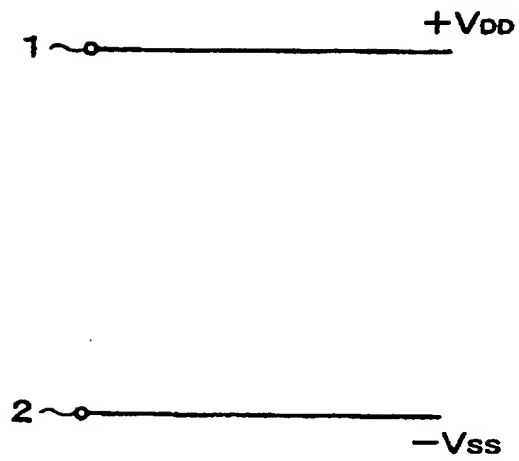


图 11

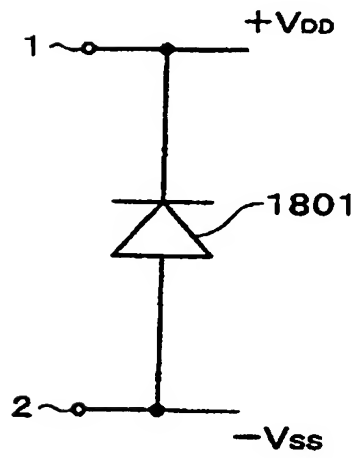


图 12

00.11.20

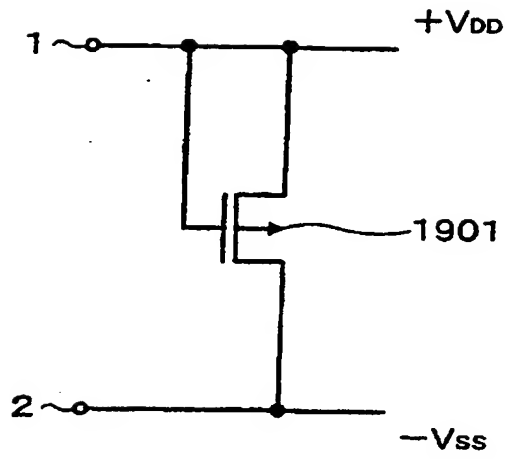


图 13

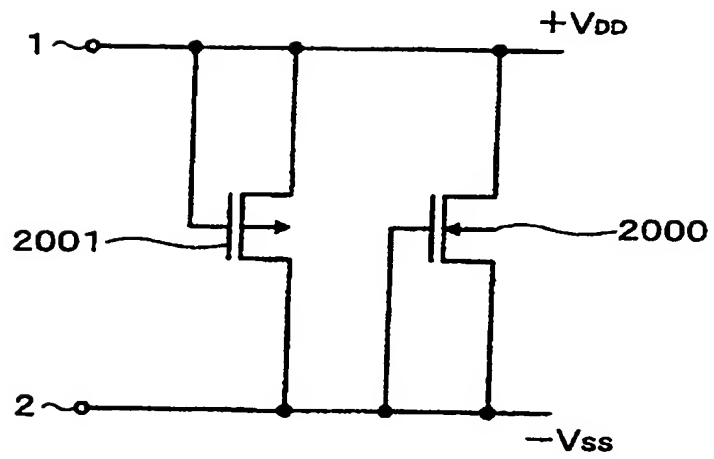


图 14

00.11.20

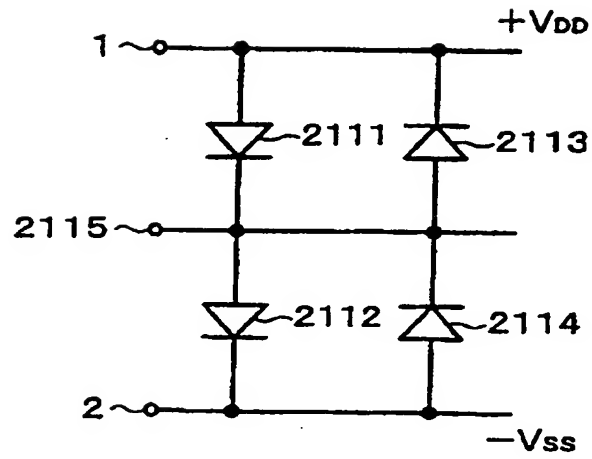


图 15

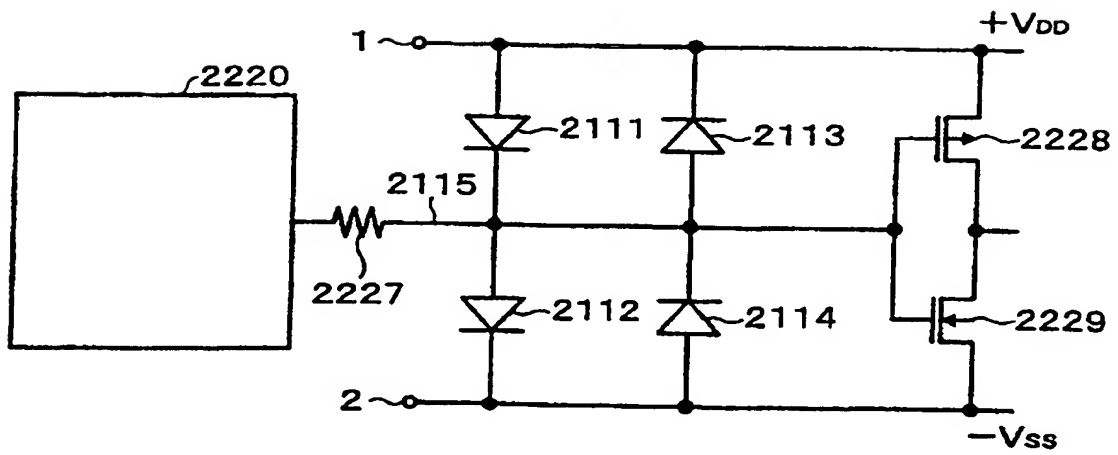


图 16

00.11.20

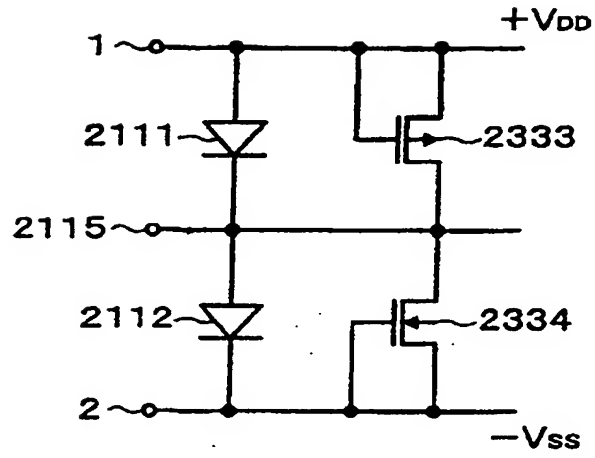


图 17

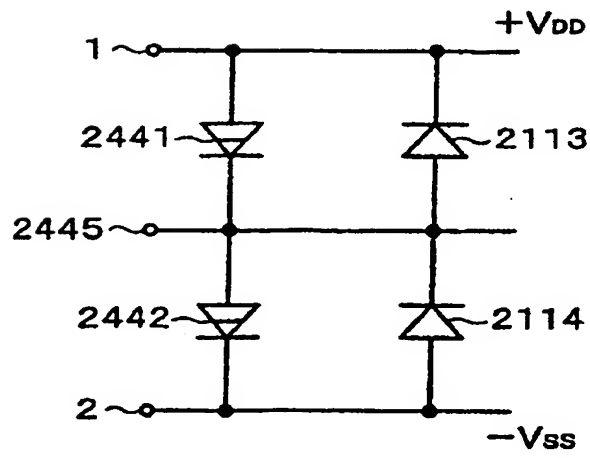


图 18

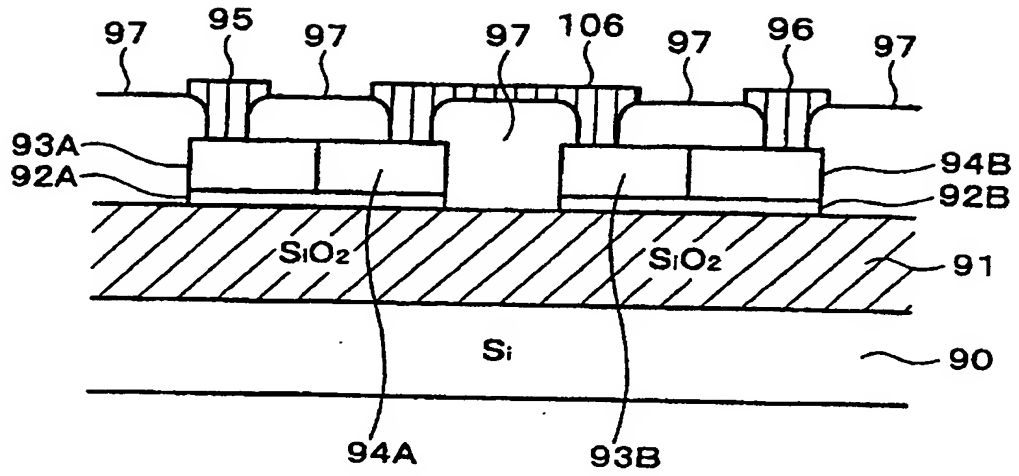


图 21

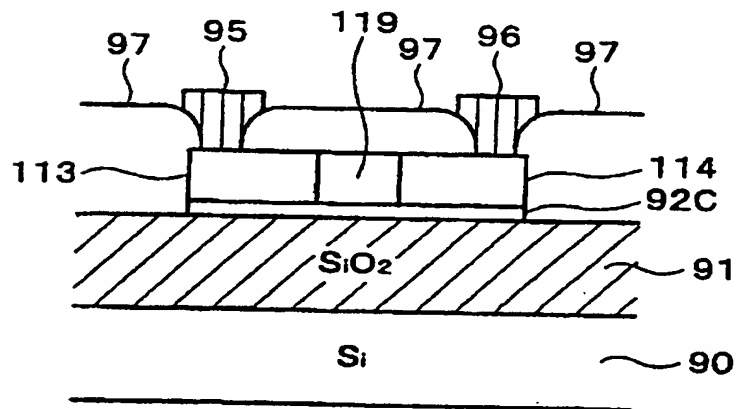


图 22

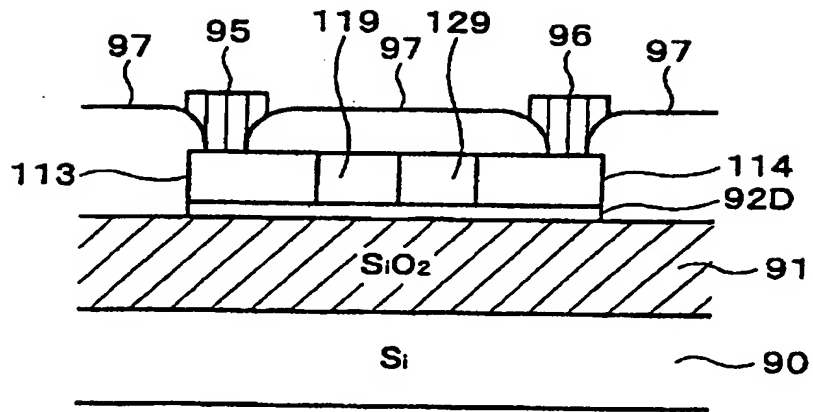


图 23

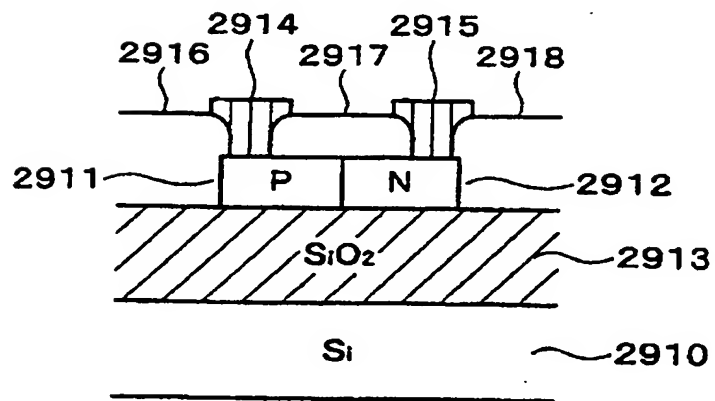


图 24

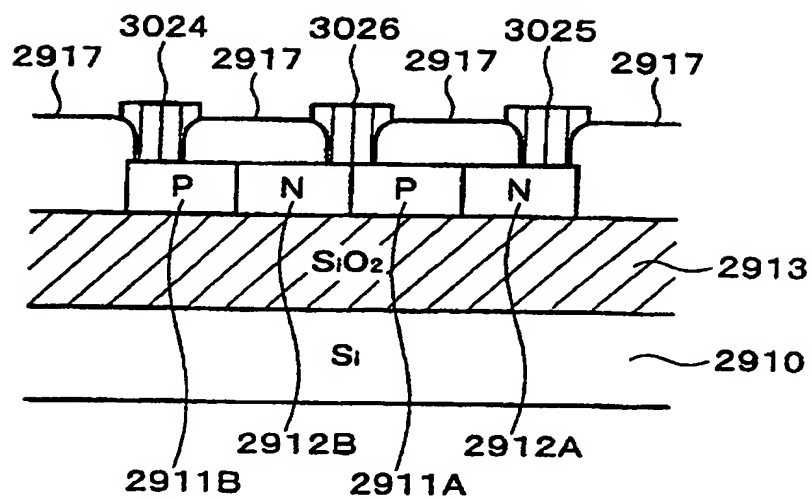


图 25

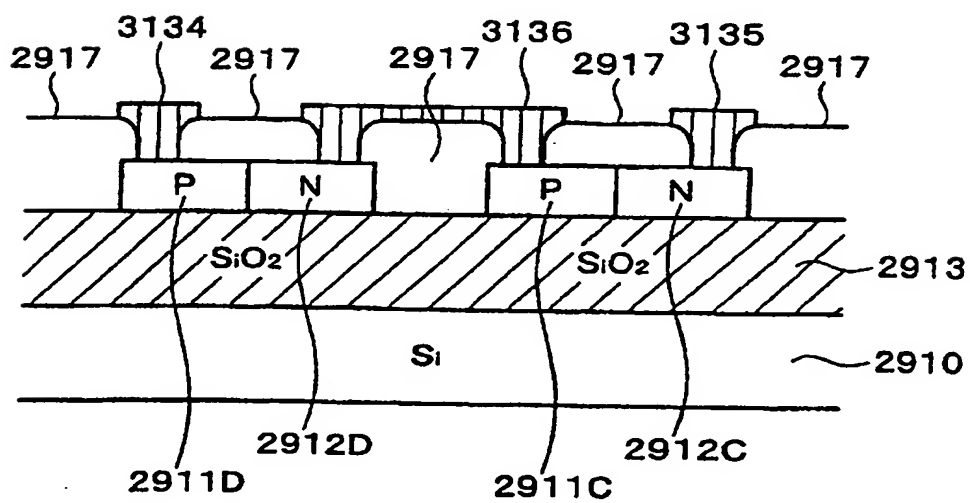


图 26

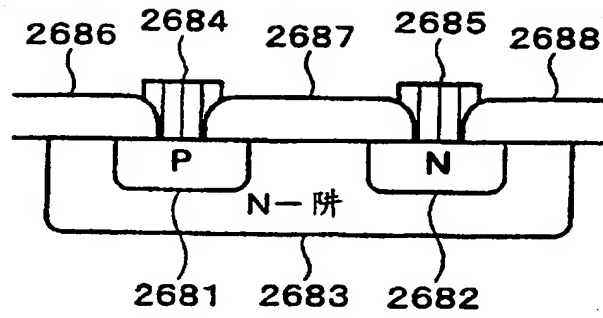


图 27

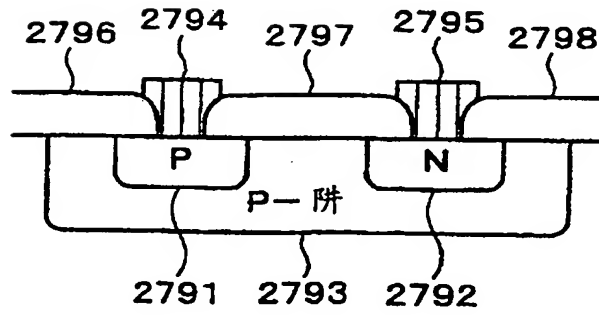


图 28

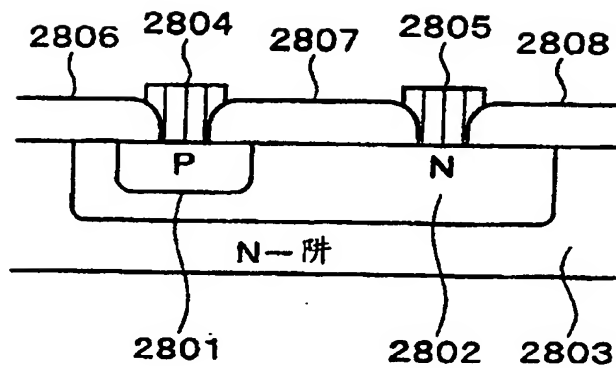


图 29

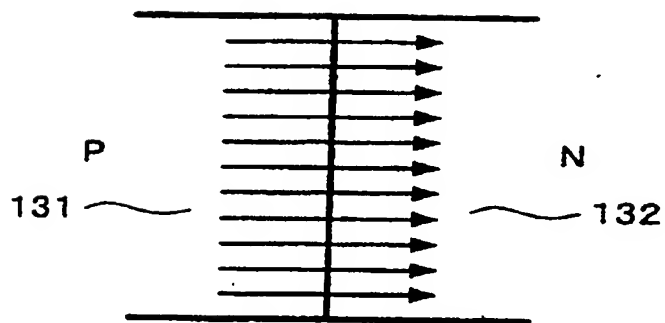


图 30

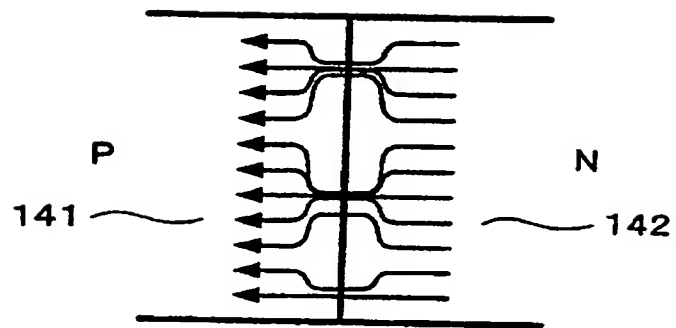


图 31

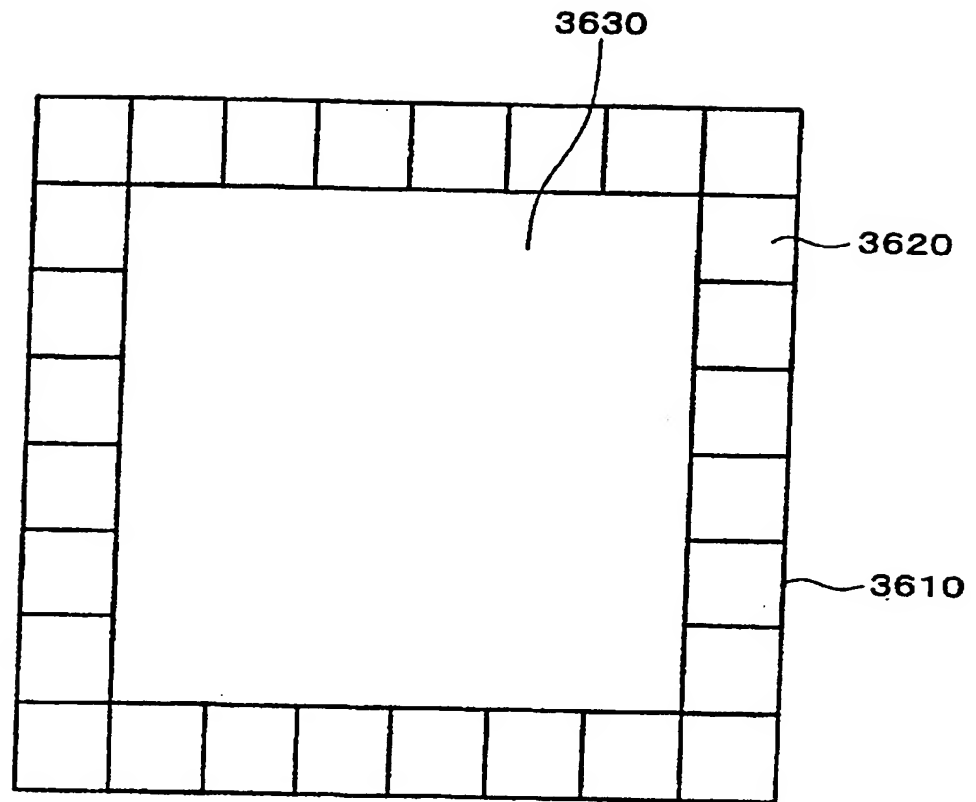


图 32